

## ESERCIZIO 1

Si usino 4 cifre binarie (abcd) per rappresentare i numeri decimali da 0 a 9. Sia a il bit più significativo (MSB), d il bit meno significativo (LSB).

Realizzare la funzione  $F(a, b, c, d)$  la cui uscita vale '1' se abcd è non nullo e multiplo di 3 e vale '0' altrimenti, per le combinazioni di ingresso che rappresentano i numeri decimali da 0 a 9. L'uscita è un don't care per le combinazioni di ingresso che rappresentano i numeri decimali da 10 a 15.

Svolgere i seguenti passi:

- a) Riportare la tabella di verità della funzione  $F$
- b) Ricavare la mappa di Karnaugh della funzione  $F$
- c) Elencare gli implicant primari essenziali (IPE) della funzione  $F$
- d) Determinare l'espressione minima in forma somma di prodotti (SOP) di  $F$  e disegnarne il circuito logico corrispondente
- e) Scrivere una descrizione VHDL a scelta del circuito logico determinato al punto d)

## Soluzione:

a) Tabella di verità

a	b	c	d	F
0	0	0	0	0
0	0	0	1	0
0	0	1	0	0
0	0	1	1	1
0	1	0	0	0
0	1	0	1	0
0	1	1	0	1
0	1	1	1	0
1	0	0	0	0
1	0	0	1	1
1	0	1	0	X
1	0	1	1	X
1	1	0	0	X
1	1	0	1	X
1	1	1	0	X
1	1	1	1	X

} don't care

### b) Mappa di Karnaugh

ab \ cd	00	01	11	10
00	0 <sub>0</sub>	0 <sub>1</sub>	1 <sub>3</sub>	0 <sub>2</sub>
01	0 <sub>4</sub>	0 <sub>5</sub>	0 <sub>7</sub>	1 <sub>6</sub>
11	X <sub>12</sub>	X <sub>13</sub>	X <sub>15</sub>	X <sub>14</sub>
10	0 <sub>8</sub>	1 <sub>9</sub>	X <sub>11</sub>	X <sub>10</sub>

### c) IPE

ab \ cd	00	01	11	10
00	0	0	1	0
01	0	0	0	1
11	X	X	X	X
10	0	1	X	X

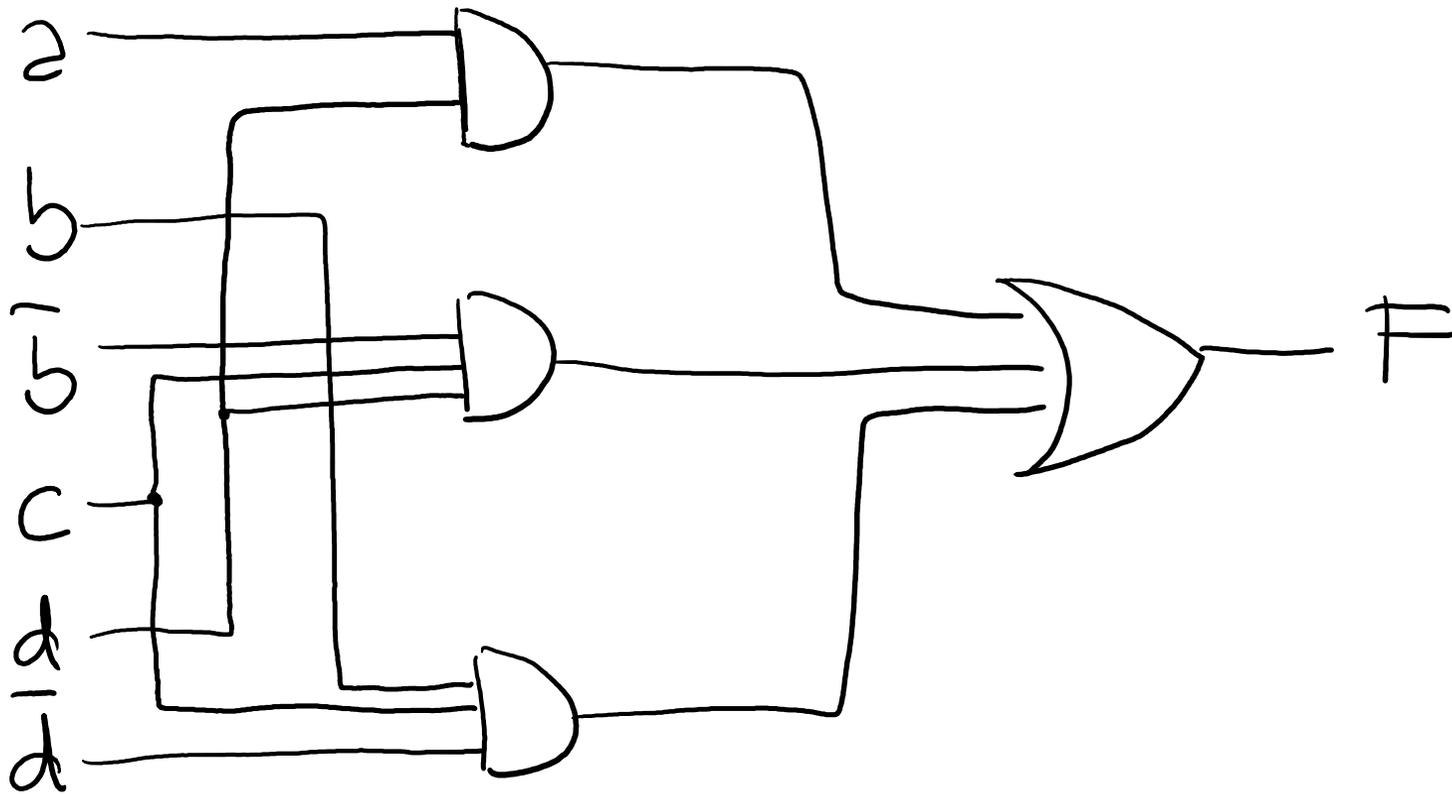
Gli IPE sono  $ad$ ,  $\bar{b}cd$ ,  $bcd\bar{a}$

d) Espressione minima in forma SOP è:

$$F = ad + \bar{b}cd + bcd\bar{a}$$

Circuito logico :

$$F = ad + \bar{b}cd + bc\bar{d}$$



e) Una possibile descrizione VHDL del circuito logico trovato al punto d) si trova al link :

<https://www.edaplayground.com/x/hWjp>

## ESERCIZIO 2

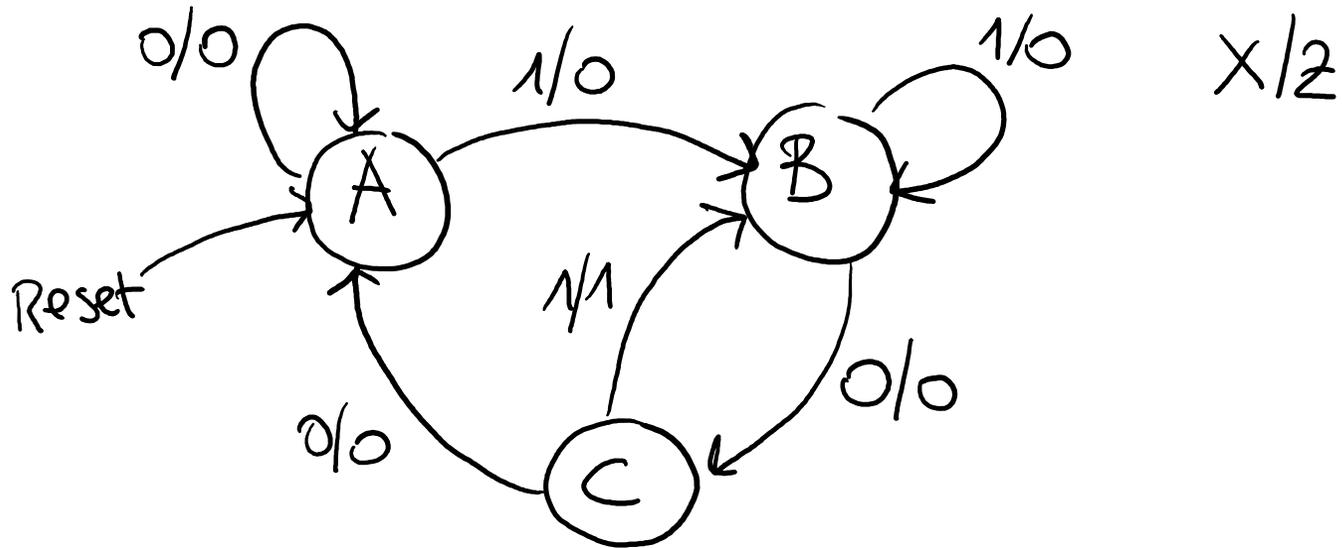
Un sistema digitale avente un ingresso X ed un'uscita Z deve riconoscere la sequenza di ingresso "101". Sono consentite sovrapposizioni tra i bit riconosciuti: l'ultimo '1' di una sequenza corretta riconosciuta deve essere riconosciuto come il primo '1' della sequenza successiva. L'uscita Z commuta a '1' quando il sistema riceve all'ingresso l'ultimo bit della sequenza corretta, mentre vale '0' in tutti i casi in cui non è stata riconosciuta la sequenza corretta. Usare Flip-Flop di tipo D positive edge triggered.

Svolgere i seguenti passi:

- a) Disegnare il diagramma di stato del sistema
- b) Riportare la tabella degli stati e dell'uscita
- c) Codificare gli stati con una codifica one-hot
- d) Riportare la tabella degli stati codificata
- e) Determinare le equazioni di aggiornamento di stato e di uscita
- f) Disegnare il circuito sequenziale che realizza il sistema descritto

## Soluzione:

### a) Diagramma di stato



A: nessun bit riconosciuto  
B: un bit riconosciuto ('1')  
C: due bit riconosciuti ('10')

### b) Tabella transizioni

STATO PRESENTE $S(t)$	STATO FUTURO $S(t+1)$		USCITA $z(t)$	
	$X=0$	$X=1$	$X=0$	$X=1$
A	A	B	0	0
B	C	B	0	0
C	A	B	0	1

### c) Codifica stati one-hot

Siano  $S_c, S_B, S_A$  i bit per codificare lo stato  $S \rightarrow S_c S_B S_A$

A  $\rightarrow$  001

B  $\rightarrow$  010

C  $\rightarrow$  100

### d) Tabella stati codificati

STATO PRESENTE $S_c S_B S_A(t)$	STATO FUTURO $S_c S_B S_A(t+1)$		USCITA $Z$	
	$X=0$	$X=1$	$X=0$	$X=1$
0 0 1	0 0 1	0 1 0	0	0
0 1 0	1 0 0	0 1 0	0	0
1 0 0	0 0 1	0 1 0	0	1

### e) Equazioni di aggiornamento di stato & uscita

$$S_c(t+1) = \bar{X} S_B(t)$$

$$S_B(t+1) = X$$

$$S_A(t+1) = \bar{X} S_A(t) + \bar{X} S_c(t) = \bar{X} (S_A(t) + S_c(t))$$

$$Z(t) = X S_c(t)$$

# f) Circuito sequenziale

