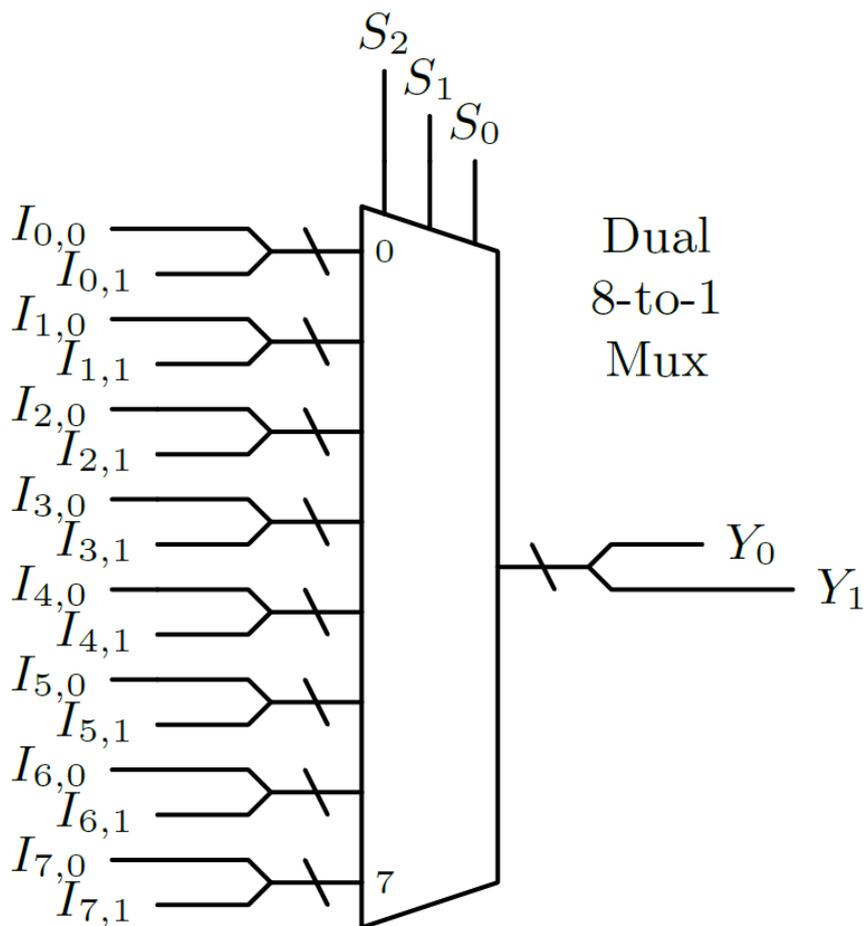


ESERCIZIO 1



Si desidera realizzare la funzione logica a 4 ingressi (a, b, c, d) e 2 uscite (Y_0, Y_1) tramite il dual-mux 8-to-1 rappresentato in figura, avente 3 ingressi di selezione (S_2, S_1, S_0) e 8 ingressi di dati a 2 bit ciascuno ($I_{0,0}, I_{0,1}, \dots, I_{7,0}, I_{7,1}$). Le funzioni Y_0 ed Y_1 sono definite come segue:

$$Y_0(a,b,c,d) = \sum m(0, 2, 3, 6, 9, 11, 14, 15)$$

$$Y_1(a,b,c,d) = \sum m(0, 1, 3, 4, 7, 8, 11, 13, 15)$$

a) Si illustri come collegare i segnali (a, b, c, d) al multiplexer al fine di ottenere le funzioni Y_0 ed Y_1 richieste

b) Si proponga una descrizione in VHDL della funzione $Y_0(a,b,c,d)$

ESERCIZIO 2

Un sistema digitale avente un ingresso X ed un'uscita Z deve riconoscere la sequenza di ingresso "1011". Sono consentite sovrapposizioni tra i bit riconosciuti: l'ultimo '1' di una sequenza corretta riconosciuta deve essere riconosciuto come il primo '1' della sequenza successiva. L'uscita Z deve commutare a '1' appena il sistema riceve all'ingresso l'ultimo bit della sequenza corretta, mentre deve valere '0' in tutti i casi in cui non è stata riconosciuta la sequenza corretta. Usare Flip-Flop di tipo D positive edge triggered.

Svolgere i seguenti passi:

- a) Disegnare il diagramma di stato del sistema
- b) Dire se si tratta di una macchina di Mealy o di Moore, motivando la risposta
- c) Riportare la tabella degli stati e dell'uscita
- d) Codificare gli stati con una codifica Gray
- e) Riportare la tabella degli stati codificata
- f) Minimizzare le equazioni di aggiornamento di stato e di uscita
- g) Disegnare il circuito sequenziale che realizza il sistema descritto