

# Esercizi 02

## Memorie

### Chapter 7

1) Le seguenti memorie sono definite con il numero di words per il numero di bits per word. Quante linee di indirizzo e input-output data sono necessarie? a) 48K x 8; b) 512K x 32; c) 64M x 64; d) 2G x 1

**Soluzione:**

a)  $N = \log_2(48 \times 1024) = 15.58 = 16$ ;  $D = 8$

b)  $N = \log_2(512 \times 1024) = 19$ ;  $D = 32$

c)  $N = \log_2(64 \times 1024 \times 1024) = 26$ ;  $D = 64$

d)  $N = \log_2(2 \times 1024 \times 1024 \times 1024) = 31$ ;  $D = 1$

2) La word  $(835)_{10}$  nella memoria in figura contiene il valore binario equivalente a  $(15103)_{10}$ . a) Riportare l'indirizzo a 10 bits e il contenuto della memoria a 16 bits. b) Ripetere il punto a per la word  $(513)_{10}$  contenente il valore  $(44252)_{10}$

**Soluzione:**

a)  $i = 11\ 0100\ 0011$ ;  $d = 0011\ 1010\ 1111\ 1111$

b)  $i = 10\ 0000\ 0001$ ;  $d = 1010\ 1100\ 1101\ 1100$

3) Quanti indirizzi e quante linee di dati sono necessari per chip di memoria con le seguenti organizzazioni?

a) 256 x 4

b) 512 x 8

c) 1K x 16

d) 32K x 8

**Soluzione:**

a) 4 linee di dati e 256 locazioni di memoria  $\rightarrow 2^8 \rightarrow I = 8$

b)  $2^9 \rightarrow I = 9$ , 8 linee dati

c)  $2^{10} \rightarrow I = 10$ , 16 linee dati

d)  $2^{15} \rightarrow I = 15$ , 8 linee dati

**4) Una memoria DRAM ha un intervallo di refresh di 64 ms e ha 8192 righe. Qual è l'intervallo di refresh eseguendo un refresh distribuito, se il singolo refresh richiede 60 ns? Qual è il tempo totale richiesto dei 64 ms per un refresh dell'intera DRAM? Qual è il numero minimo di pin di indirizzo sulla DRAM?**

**Soluzione:**

- Numero di righe da aggiornare: 8192  $\rightarrow I_{\text{refresh}} = 64 \text{ ms} / 8192 = 7.1825 \text{ us}$
- Tempo totale di refresh:  $60 \text{ ns} * 8192 = 0.49 \text{ ms}$ , ovvero  $0.49/64 = 0,007 = 0,7 \%$
- $\log_2 8192 = 13$

**5) Quanti chip da 128K x 16 sono necessari per realizzare una memoria con una capacità di 2MB? Quante linee di indirizzo sono richieste?**

**Soluzione:**

- $2\text{MB} / (128\text{K} * 16) = 2\text{MB} / 256 \text{ KB} = 8$
- Ipotizziamo di avere 2 bytes per word  $\rightarrow$  avremo 1M di word a 16 bit  $\rightarrow$  per accedere ad ogni word abbiamo bisogno di  $2\text{MB}/2\text{B} = 2^{20} \rightarrow 20$  bit di indirizzo

**6) Si consideri un chip di memoria dinamica (DRAM) da 1 Mbit (1024 righe  $\times$  1024 colonne). Il periodo di refresh sia di 5 ms, il tempo di accesso sia di 60 ns. Calcolare la percentuale di cicli di memoria impegnati per il refresh.**

**Soluzione:**

In una memoria dinamica il refresh viene effettuato mediante una operazione di lettura che interessa una intera riga. Pertanto, detti  $t_A$  il tempo di accesso,  $T_R$  il periodo di refresh ed  $N_{\text{righe}}$  il numero di righe della matrice costituente il chip si ha che il tempo  $t_R$  disponibile per il refresh di una riga vale:

$$t_R = \frac{T_R}{N_{\text{righe}}}$$

Il rapporto fra il tempo di accesso ed il tempo disponibile per una singola operazione di refresh costituisce la frazione relativa di cicli di memoria impiegati per il refresh. Pertanto la percentuale di cicli impegnati per il refresh vale:

$$Rfrsh\% = \frac{t_A}{t_R} \cdot 100 = \frac{60 \cdot 10^{-9}}{5 \cdot 10^{-3}} \cdot 1024 \cdot 100 = 1.2288\%$$

7) Si voglia realizzare una memoria statica da 128 KB mediante n banchi ciascuno composto da 8 chip di memoria da 4Kx1 bit.

- Quanto deve valere n?

- Quali bit dell'indirizzo selezionano il banco da attivare?

- Quante linee di indirizzo devono pervenire come indirizzo di selezione del bit a ciascun chip?

**Soluzione:**

Ogni banco fornisce 4KB di memoria, per cui risulta:

$$n = 128 \text{ KB} / 4 \text{ KB} = 2^{17} / 2^{12} = 2^5 = 32$$

Per indirizzare 128Kbyte sono necessarie 17 linee di indirizzo. Poiché nella nostra architettura abbiamo 32 banchi, ognuno da 4KB, allora ci servono 5 linee per selezionare il banco (attraverso l'attivazione del relativo ingresso di chip select) e 12 per indirizzare uno dei 4Kbit in ciascuno degli 8 chip di memoria del banco.

8) In una memoria dinamica da 64 Kbit x 1, organizzata come una matrice quadrata di bit, la lettura di una cella di memoria richiede  $t_a=50$  ns. Calcolare qual è il minimo periodo di refresh di ciascun bit tale per cui l'impegno percentuale degli accessi dedicati al refresh sul totale degli accessi non sia superiore allo 0.5%.

**Soluzione:**

Essendo la matrice di bit quadrata, risulta:

$$N_{righe} = N_{colonne} = \sqrt{64K} = 256$$

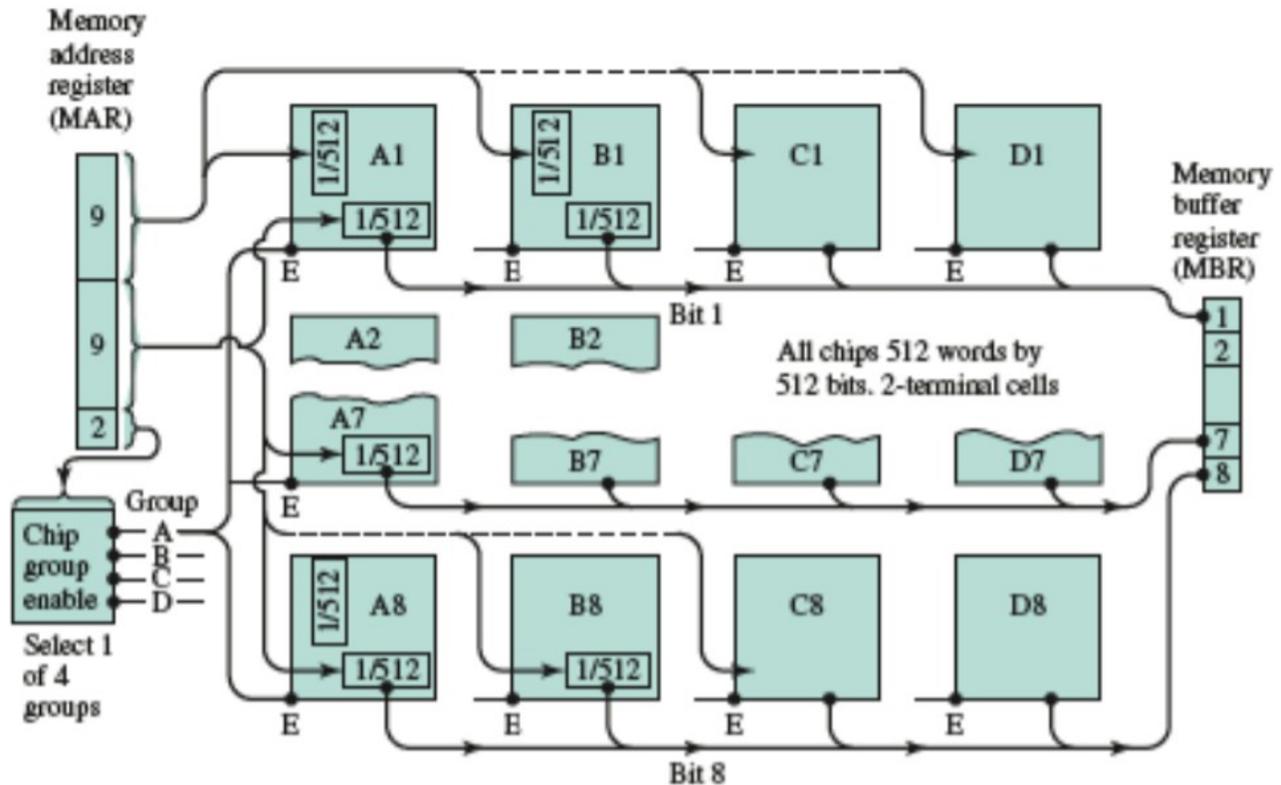
La percentuale di tempo dedicata al refresh si può calcolare come tempo di accesso  $t_A$  diviso il tempo  $t_R$  disponibile per il refresh di una riga oppure come il tempo totale necessario per fare il refresh su tutta la RAM diviso il periodo di refresh.

Quindi possiamo scrivere:

$$\text{Refresh}\% = \frac{t_A}{t_R} = \frac{t_A}{\frac{T_R}{N_{righe}}} = \frac{t_A \cdot N_{righe}}{T_R} \leq 0.005$$
$$T_R \geq \frac{t_A \cdot N_{righe}}{0.005} = \frac{50 \cdot 10^{-9} \cdot 256}{0.005} = 2.56 \text{ ms}$$

9) Con riferimento alla figura riportata qui sotto, rispondere alle seguenti domande:

- in quale banco di memoria è situato il word di indirizzo A01B8?
- Quanti bit ha l'architettura che usa questa memoria?
- Quanto è grande questa memoria, in Kilo Byte?



**Soluzione:**

Nell'esaminare la figura in oggetto si nota che la selezione del banco da indirizzare per accedere alla locazione desiderata è affidata ai 2 bit più significativi dell'indirizzo. Esprimendo in binario l'indirizzo esadecimale A01B8 si ottiene la sequenza

**1010 0000 0001 1011 1000**

Il banco interessato all'operazione sarà quindi quello corrispondente alla configurazione 10, ossia il banco di indice  $10_2 = 2_{10}$

Il registro MBR è da 8 bit, ovvero 1 byte,: questo significa che dalla memoria vengono lette word lunghe 1 byte e quindi possiamo dire che l'architettura è a 8-bit.

Il registro MAR è lungo 20 bit, quindi ci aspettiamo di poter indirizzare  $2^{20}$  locazioni e poiché ogni word è lunga 8 bit, ci aspettiamo che la memoria totale sia pari a 1 MB.

In effetti vediamo dallo schema che ci sono 4 banchi, ognuno da 512 bit x 512 word. Ogni banco è costituito da 8 chip 512x512 bit: ogni singolo chip contiene  $2^{18}$  bit e durante le operazioni di lettura/scrittura si accede in parallelo ad 1 bit di ognuno degli 8 chip, lavorando su un intero byte. Ogni banco, quindi, contiene  $2^{18}$  byte. La memoria è composta da 4 banchi e quindi possiamo memorizzare in totale  $4 * 2^{18}$  byte =  $2^2 * 2^{18}$  byte =  $2^{20}$  byte, ovvero 1 MB di dati.