

Esercizio

Un computer a ciclo singolo (che utilizza l'architettura vista sul libro) ha un clock di 5 MHz, è dotato di linee di indirizzi a 16 bit, di una memoria SDRAM da 16 KB per le istruzioni e una memoria SDRAM da 32 KB per i dati. Le memorie sono indirizzate a word di 16 bit.

Collegata alla sola memoria dati vi è una cache completamente associativa a 2 righe con linee di 4 word e adotta una gestione LRU dei rimpiazzamenti e una politica write-through.

Il tempo di lettura/scrittura alle memorie RAM e cache sono, rispettivamente, di 90 ns e di 25 ns; l'architettura del computer permette di fare il fetch dell'istruzione e un accesso alla memoria all'interno di uno stesso ciclo di clock.

Nel computer viene eseguito un programma costituito dalle istruzioni memorizzate nella memoria delle istruzioni a partire dall'indirizzo 0 (vedi Tabella A).

Al momento dell'esecuzione del codice gli 8 registri contengono i valori riportati in figura (vedi Tabella B), la memoria dati contiene i valori riportati in figura (vedi Tabella C) e la memoria cache è vuota. Viene fornita anche la Tabella 8-8 del libro di testo con le specifiche delle istruzioni.

Si risponda alle seguenti domande:

- a) Si indichi, a parole, quale è lo scopo del programma
- b) Si indichi il valore del registro R7 al termine dell'esecuzione del programma
- c) Si indichi il valore in memoria all'indirizzo 0x1A al termine dell'esecuzione del programma
- d) Conoscendo il clock, calcolare il tempo di esecuzione totale del programma (ignorare i tempi di lettura/scrittura dei dati)
- e) Si calcoli il numero di cache hit, di cache miss e il numero di rimpiazzamenti durante l'esecuzione del programma
- f) Si calcoli quanti ms sono impiegati in totale per fare gli accessi ai dati (si ignorino i periodi di refresh)

A) **ISTRUZIONI**

LD	R0	R1	
INC	R1	R1	
ST	R2	R0	
DEC	R2	R2	
INC	R3	R3	
SUB	R4	R5	R3
BRZ	R4	2	
JMP	R6		
INC	R7	R2	

B) **Valori nei registri**

R0	12
R1	3
R2	31
R3	0
R4	52
R5	8
R6	0
R7	0

C) **RAM Dati a 16 bit**

0x0000	4
0x0001	43
0x0002	54
0x0003	73
0x0004	22
0x0005	34
0x0006	5
0x0007	23
0x0008	67
0x0009	12
0x000A	3
0x000B	12
0x000C	4
0x000D	34
0x000E	23
0x000F	240
0x0010	5
0x0011	65
0x0012	234
0x0013	23
0x0014	67
0x0015	78
0x0016	18
0x0017	72
0x0018	52
0x0019	12
0x001A	42
0x001B	8
0x001C	35
0x001D	49
0x001E	51
0x001F	86

TABLE 8-8
Instruction Specifications for the Simple Computer

Instruction	Opcode	Mnemonic	Format	Description	Status Bits
Move A	0000000	MOVA	RD, RA	$R[DR] \leftarrow R[SA]^*$	N, Z
Increment	0000001	INC	RD, RA	$R[DR] \leftarrow R[SA] + 1^*$	N, Z
Add	0000010	ADD	RD, RA, RB	$R[DR] \leftarrow R[SA] + R[SB]^*$	N, Z
Subtract	0000101	SUB	RD, RA, RB	$R[DR] \leftarrow R[SA] - R[SB]^*$	N, Z
Decrement	0000110	DEC	RD, RA	$R[DR] \leftarrow R[SA] - 1^*$	N, Z
AND	0001000	AND	RD, RA, RB	$R[DR] \leftarrow R[SA] \wedge R[SB]^*$	N, Z
OR	0001001	OR	RD, RA, RB	$R[DR] \leftarrow R[SA] \vee R[SB]^*$	N, Z
Exclusive OR	0001010	XOR	RD, RA, RB	$R[DR] \leftarrow R[SA] \oplus R[SB]^*$	N, Z
NOT	0001011	NOT	RD, RA	$R[DR] \leftarrow \overline{R[SA]}^*$	N, Z
Move B	0001100	MOVB	RD, RB	$R[DR] \leftarrow R[SB]^*$	
Shift Right	0001101	SHR	RD, RB	$R[DR] \leftarrow sr R[SB]^*$	
Shift Left	0001110	SHL	RD, RB	$R[DR] \leftarrow sl R[SB]^*$	
Load Immediate	1001100	LDI	RD, OP	$R[DR] \leftarrow zf OP^*$	
Add Immediate	1000010	ADI	RD, RA, OP	$R[DR] \leftarrow R[SA] + zf OP^*$	N, Z
Load	0010000	LD	RD, RA	$R[DR] \leftarrow M[SA]^*$	
Store	0100000	ST	RA, RB	$M[SA] \leftarrow R[SB]^*$	
Branch on Zero	1100000	BRZ	RA, AD	if $(R[SA] = 0)$ $PC \leftarrow PC + se AD$, N, Z if $(R[SA] \neq 0)$ $PC \leftarrow PC + 1$	
Branch on Negative	1100001	BRN	RA, AD	if $(R[SA] < 0)$ $PC \leftarrow PC + se AD$, N, Z if $(R[SA] \geq 0)$ $PC \leftarrow PC + 1$	
Jump	1110000	JMP	RA	$PC \leftarrow R[SA]$	

* For all of these instructions, $PC \leftarrow PC + 1$ is also executed to prepare for the next cycle.