

Esercizi 03

Memory Systems

Chapter 12

1) Una CPU richiede i seguenti indirizzi in esadecimale: 54, 58, 104, 5C, 108, 60, F0, 64, 54, 58, 10C, 5C, 110, 60, F0, 64. Supponendo che all'inizio la cache sia vuota e assumendo una politica di rimpiazzo LRU, determinare se ogni indirizzo produce un Cache Hit o Miss nei seguenti casi: a) Cache a mappatura diretta; b) Cache completamente associativa; c) Cache associativa a 2 vie.

2) Ripetere l'esercizio precedente con i seguenti indirizzi: 20, 04, 28, 60, 20, 04, 28, 4C, 10, 6C, 70, 10, 60, 70

3) Un computer ha una cache a mappatura diretta con indirizzi a 32 bits. L'indirizzamento viene effettuato per byte. La cache ha una capacità di 1KB e utilizza linee di 32 bytes. Utilizza il write-through e quindi non necessita di dirty bit. a) Quanti bits ci sono nell'Indice della cache? b) Quanti bits nel Tag? c) Qual è il numero totale di bits di immagazzinamento nella cache includendo i valid bits, i tag e le linee di cache?

4) Un sistema con cache a mappatura diretta che contiene 32 bit di dati ha le seguenti specifiche: Ci sono 512 words (32 bits) nella main memory che sono mappate nelle 64-word locazioni nella cache. Si assume che un blocco di cache (linea) contenga solo 4 bytes (word). Determinare: a) In quale locazione la word con indice 0 (nella memoria centrale) sarà mappata; b) Quali altre words verranno mappate dalla memoria centrale nella stessa locazione della cache

5) Si consideri un sistema con 2048 linee di cache e 8192 blocchi nella main memory. Trovare dove nella cache sono mappate i blocchi di memoria MMB-19 e MMB-5031 nel caso di a) mappatura diretta; b) mappatura completamente associativa; c) mappatura associativa a 4 vie

6) Trovare la dimensione del tag, dell'indice e l'offset per i due tipi di cache: 1) 16 KB con mappatura diretta e blocchi di 4-word

7) Una memoria cache ha un tempo di accesso dalla CPU di 4 ns e la main memory ha un tempo di accesso di 40 ns. Qual è il tempo di accesso effettivo per la gerarchia cache-main memory se la percentuale di Hit è: a) 0.91; b) 0.82 e c) 0.96?

8) Ripetere il problema precedente con un tempo di accesso della cache di 1 ns e della main memory di 20 ns

9) Un sistema con memoria virtuale usa pages di 4 KB, 64-bit word and 48-bit di indirizzo virtuale. Un dato programma richiede 4263 pages. a) Qual è il numero minimo di page table richiesto? b) Qual è il numero minimo di voci richiesto nella directory page? c) Per le risposte date quanti sono le voci che ci sono nell'ultima page table?

10) La figura rappresenta il formato a 32 bit di un sistema di memoria a pagine. Calcolare la quantità di memoria fisica indirizzabile con questo sistema.



11) Una TLB ha un hit rate del 95% e una penalità $T_{MISS} = 150$ cicli. Nel caso di HIT il tempo per la traduzione dell'indirizzo è $T_{HIT} = 0$. a) Qual è il tempo medio di traduzione di un indirizzo? b) Che cosa indicano il dirty bit e l'used bit? c) Le page tables sono immagazzinate in memoria e occupano spazio. Qual è la dimensione di una page table di 32-bit con pagine di 4K?

12) Considerare un Sistema con 85% Hit rate, 60 ns per la ricerca nella TLB e 800 ns per l'accesso alla memoria centrale. Trovare il tempo di accesso di una pagina e di lettura di una data word dalla pagina nelle seguenti situazioni: a) La pagina viene trovata nella TLB. b) La pagina non viene trovata nella TLB; c) Il tempo medio di accesso.

13) Si supponga che una memoria cache per i dati adotti uno schema a mappatura diretta con 16 byte per blocco e 32 blocchi complessivi. Allora, per una memoria indirizzata a byte, il byte di indirizzo 0x00004321, se presente nella cache, si trova nel blocco di indice I (0..31) e in quel blocco occupa la posizione B (0..15), mentre il tag ad esso associato è T. Si indichino i valori di I, B e T come numeri interi con notazione in base dieci.

14) Se l'address bus di un processore ha 32 linee e queste sono collegate ad una memoria cache a mappatura diretta che contiene 64 blocchi, ciascuno costituito da 16 byte, il comparatore che effettua il confronto per stabilire hit o miss confronta coppie di N bit. In queste ipotesi, il byte di indirizzo 0xBBCCDDEE, se presente nella cache, è contenuto nel blocco di indice I. Si indichino in numero N di bit e l'indice I del blocco, in notazione decimale.

15) Una memoria cache abbia tempo di accesso $t_c = 62.5\text{ns}$. Con un hit rate del 80%, il tempo medio di accesso alla memoria è $t_{\text{avg}} = 90\text{ns}$. Allora la memoria convenzionale ha un tempo di accesso t_a pari a:

16) Una memoria cache, con un hit rate del 85%, consente un tempo medio di accesso da parte della CPU $t_{\text{avg}} = 80.7\text{ ns}$, mentre la memoria centrale ha tempo di accesso $t_a = 130\text{ ns}$. Allora il tempo di accesso della memoria cache t_c è:

17) In una memoria cache da 32 Kbyte, di tipo set-associativo a 4 vie, con 256 set da 4 linee e 32 byte per blocco, un byte si trova nella cache nel set di indice 34 e nel blocco in cui è presente occupa la posizione 11, mentre il tag associato a quel blocco è pari a 0x142A. Allora l'indirizzo del corrispondente byte in memoria è pari a IB.

18) In una memoria cache completamente associativa, costituita da 1024 linee da 32 byte, a ciascuna sua linea sono associati un TAG e 8 bit di controllo (dirty bit, bit di validità, bit per LRU, ...). La dimensione complessiva della cache (comprendente le 1024 linee, i relativi TAG e i bit di validità) è di 36 Kbyte.

In queste ipotesi, indicare il numero A di bit di cui sono costituiti gli indirizzi generati dal processore.

19) Il rapporto tra l'estensione della memoria logica e di quella fisica di un sistema paginato sia pari a 2^9 ; la dimensione delle pagine sia di 1 Kbyte; l'indirizzo fisico sia costituito da 16 bit. In queste ipotesi, si indichino: il numero Ne degli elementi della page table e il numero Nb di bit di cui è composto ciascuno di quegli elementi.

20) Il set di registri di mappa di una MMU contiene un totale di 512 bit. Supponendo che l'indirizzo logico sia da 20 bit e che l'estensione di ciascuna pagina logica sia 2^{14} byte, l'estensione F della memoria fisica indirizzabile è:

21) Se in un sistema dotato di memoria virtuale, gli indirizzi generati dalla CPU sono da 32 bit e gli indici di frame contenuti nella page table sono da 16 bit, il numero massimo di byte contenuti in ogni pagina, tale per cui la memoria fisica risulta meno estesa di quella virtuale è pari ad M. Si esprima M

22) Un sistema con memoria virtuale, utilizza indirizzi logici a 32 bit e fisici a 24 bit e una lunghezza di pagina pari a 4 Kbyte.

Supponendo che la MMU disponga di un TLB (realizzato da una cache completamente associativa) con 24 elementi, ciascuno includente i bit dei campi TAG e DATO, la dimensione K del TLB è complessivamente pari a:

23) In un sistema dotato di memoria virtuale, l'indirizzo virtuale ha 32 bit, quello fisico 28 bit e la dimensione delle pagine fisiche è pari a 16Kbyte.

Il MMU dispone di un TLB completamente associativo, nel quale il confronto sul TAG interessa t bit e l'indice di pagina fisica restituito dal TLB in caso di hit è costituito da f bit.

Supponendo che nell'intervallo di tempo (t_1, t_2) non vi siano page fault e che ciascuna pagina fisica abbia la medesima probabilità di essere interessata da accessi (in modo tale che lo hit rate sia pari al rapporto tra il numero di elementi del TLB e il doppio del numero di pagine fisiche) e che, sempre in (t_1, t_2), lo hit rate sia pari al 50%, allora il TLB contiene n elementi. Calcolare t , f e n .

24) In un sistema dotato di memoria virtuale, 16 accessi alla memoria consecutivi riferiscano le seguenti pagine virtuali: 3, 4, 2, 6, 4, 7, 1, 3, 2, 6, 3, 5, 1, 2, 3, 4.

Si supponga che la memoria fisica, costituita da 4 pagine, contenga inizialmente le pagine logiche 1, 2, 3, 4, caricate in questo ordine temporale.

Si indichino gli indici dei frame che vengono sovrascritti quando il processore richiede l'accesso alla pagina virtuale 7, nel caso di politica di rimpiazzo di tipo LRU e nel caso di politica di rimpiazzo di tipo FIFO.

Si indichino inoltre il numero di page fault che si verificano nel caso LRU e nel caso FIFO.

25) Un sistema è dotato di memoria virtuale paginata con indirizzo virtuale da 48 bit e indirizzo fisico da 32 bit. Sapendo che la dimensione delle pagine fisiche è di 1024 byte, e che ciascuno dei 64 elementi del TLB completamente associativo include un bit di validità, il numero di bit di cui è costituito il TLB è pari ad N

26) Si consideri un sistema in cui sono presenti i seguenti supporti di memoria, ciascuno caratterizzato dal corrispondente tempo di accesso indicato:

- memoria cache ($t_{ch} = 20ns$),
- memoria centrale ($t_{mc} = 60ns$),
- un disco usato come supporto alla memoria virtuale ($t_{di} = 12ms$ tempo medio).

In caso di miss nella cache, il tempo di accesso è pari a $t_{ch} + t_{mc}$, mentre in caso di page fault è pari a t_{di} (trascurando i pur presenti tempi $t_{ch} + t_{mc}$, richiesti per l'accesso alla memoria dopo che la pagina virtuale è stata ricopiata su un frame, in seguito ad un miss).

Assumendo che lo hit rate medio della cache sia pari a 90% e che si verifichi in media un page fault ogni 10000 accessi alla memoria, si indichi, in microsecondi, il tempo di accesso medio complessivo t_m del sistema di memoria durante l'esecuzione di $N \gg 10000$ istruzioni.