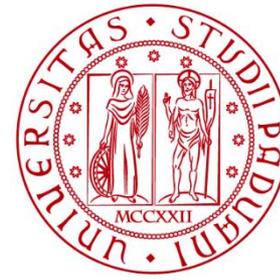




DEI
DIPARTIMENTO DI
INGEGNERIA DELL'INFORMAZIONE



UNIVERSITÀ
DEGLI STUDI
DI PADOVA

Sistemi Digitali

Informazioni sul corso

Marta Bagatin, marta.bagatin@unipd.it

Sandro Savino, sandro.savino@unipd.it

Corso di Laurea in Ingegneria dell'Informazione

Anno accademico 2022-2023

Docenti del corso

- Marta Bagatin
 - Logica digitale e VHDL
 - marta.bagatin@unipd.it
- Sandro Savino
 - Architetture degli elaboratori
 - sandro.savino@unipd.it
- Si può contattare il docente inviando una email
- Ricevimento: previo appuntamento via email

Orari di lezione

- Lezione
 - Martedì 12.30 – 14.00 – Aula 0B [Complesso A. Vallisneri]
 - Mercoledì 12.30 – 14.00 – Aula 0B [Complesso A. Vallisneri]
 - Giovedì 12.30 – 14.00 – Aula 0B [Complesso A. Vallisneri]
- Pagina Moodle: <https://stem.elearning.unipd.it>
 - Chiave d'accesso: Gate

Scopo del corso

- Introdurre le nozioni fondamentali sui **sistemi digitali e la loro progettazione**
 - Studiare i blocchi primitivi di un sistema digitale e come progettare un sistema più complesso
 - Introdurre il VHDL (linguaggio di descrizione dell'hardware)
- Studiare l'**architettura e organizzazione di un elaboratore**
 - Studiare le unità operative di un calcolatore e le loro interconnessioni
 - Capire come è organizzato il flusso di operazioni di un elaboratore

Argomenti del corso (1/2)

Prima parte del corso (logica digitale e VHDL)

- Rappresentazione delle informazioni e introduzione ai sistemi digitali
- Sistemi di numerazione (base 2, 10, 16), metodi di conversione, codici binari
- Algebra Booleana. Porte logiche fondamentali
- Forme standard, criteri di costo, minimizzazione di funzioni logiche. Mappe di Karnaugh
- Introduzione al VHDL. Rappresentazioni structural, behavioral, testbench
- Logica combinatoria. Blocchi di base e descrizione VHDL
- Sommatore e sottrattore binario, cenni ad altre funzioni aritmetiche
- Logica sequenziale. Latch e flip flop. Analisi e sintesi di un circuito sequenziale sincrono. Timing. Descrizione VHDL
- Registri, contatori, trasferimento di dati tra registri. Microoperazioni
- Descrizione VHDL di registri e contatori
- Progettazione di sistemi digitali con datapath e unità di controllo
- Cenni alle tecnologie implementative (ROM, PLA, FPGA, ASIC)
- Classificazione delle memorie, descrizione di memorie e bus

Argomenti del corso (2/2)

Seconda parte del corso (architetture degli elaboratori)

- Architettura di un computer: datapath e ALU
- Flusso di istruzioni di un computer, microcodice
- Chiamate a subroutine, allocazione dinamica
- Organizzazione e gestione della memoria
- Gestione I/O
- Sistemi di interruzione: commutazione del contesto; riconoscimento delle interruzioni; interruzioni esterne e software
- Tecniche avanzate di organizzazione di un elaboratore: pipelining; branch prediction

Libro di testo

- **M. Mano and C.R. Kime, "Logic and Computer Design Fundamentals" 5th Edition, Pearson**
- In inglese!
- Sito web del libro di testo con materiale aggiuntivo

https://wps.pearsoned.co.uk/ema_ge_mano_lcdf_5/252/64628/16544773.cw/index.html

Altri testi per consultazione

- Testo di logica digitale corredato da esempi VHDL:
S. Brown, Z. Vranesic, “Fundamentals of Digital Logic with VHDL Design” – McGraw-Hill
- Guida completa al linguaggio VHDL:
Peter J. Ashenden, “The Designer’s Guide to VHDL” – Morgan Kaufmann, 2002, 2nd ed.
- Uso del VHDL per la sintesi digitale:
W. Dally, R. Harting, T. Aamodt, "Digital Design using VHDL", Cambridge University Press, 2016

Slide delle lezioni

- Disponibili sul sito moodle del corso
<https://stem.elearning.unipd.it>
- Le slide delle lezioni NON sono intese come sostituto del libro di testo!

Modalità di svolgimento del corso

- Lezioni frontali
- Esercitazioni
- Esercitazioni VHDL tramite l'uso di un simulatore online (EDA Playground)

Esercitazioni VHDL

- **VHDL** (Very high speed integrated circuits **H**ardware Description **L**anguage) è tra gli strumenti più usati per la progettazione dei sistemi digitali
- **EDA playground**: simulatore online gratuito
 - <https://www.edaplayground.com/>
 - Non serve l'installazione, ma serve un account (anche Google o Facebook)
 - Si può lavorare da qualunque PC, una volta che si ha l'account

Esame

- L'esame si svolgerà mediante una **prova scritta** sugli argomenti visti a lezione
 - Durata 2h 30min
- La prova conterrà
 - Domande a risposta multipla
 - Problemi: 2 su logica digitale e VHDL, 1 su architetture
- Non è permesso l'uso di calcolatrici, appunti e libri

Iscrizione all'esame

- E' obbligatorio iscriversi all'esame tramite **Uniweb**
 - La lista apre 20 giorni prima dell'appello e chiude qualche giorno prima dell'appello
 - Non aspettate l'ultimo momento per iscrivervi!

Calendario degli appelli d'esame

- Primo appello
 - 26 giugno 2023, ore 9:30
- Secondo appello
 - 18 luglio 2023, ore 9:30
- Primo recupero
 - 4 settembre 2023, ore 9:30
- Secondo recupero
 - Da definire

Come affrontare il corso

- Importante consultare il **libro di testo**: video, note, slide fornite dai docenti non sostituiscono il libro!
- Importante svolgere gli **esercizi**, via via che vengono affrontati gli argomenti
 - Usare il simulatore EDA Playground fin dall'inizio, per prendere familiarità con la sintassi del VHDL
- **VHDL**: l'approccio non sarà di studiare prima tutta la teoria e poi fare pratica, ma introdurlo poco alla volta e iniziare sin da subito a svolgere piccoli esercizi di esempio

Come affrontare il corso

- In caso di dubbi, è importante affrontarli subito, durante il corso e non poco prima dell'esame!
 - Confronto con i vostri colleghi
 - Richiesta di chiarimento al docente (email)
 - In caso di difficoltà con codice VHDL in EDA Playground, è possibile salvare il progetto in un playground pubblico e inviare il link via email