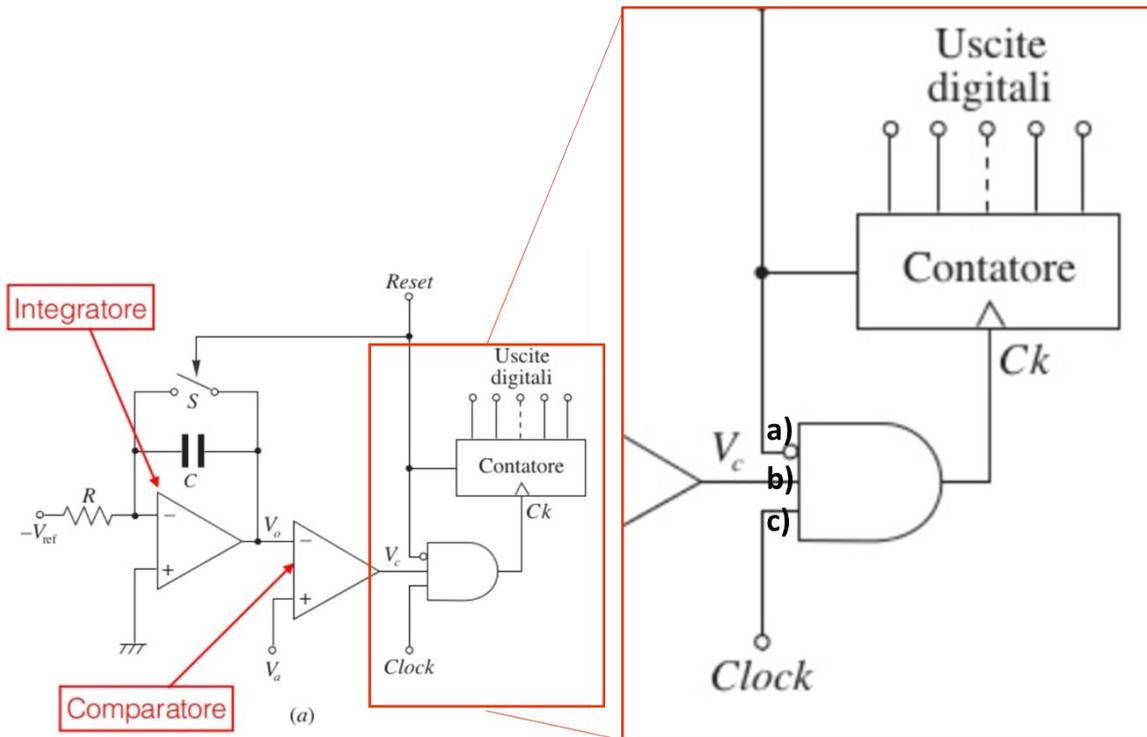


Spiegazione piu' accurata della LOGICA DI CONTROLLO in ADC A INTEGRAZIONE



La porta logica è una **porta AND** che fornirà come **output un segnale digitale alto solo se tutti i suoi ingressi sono anch'essi tutti alti**.

Essa **avrà un'uscita alta e quindi permetterà di far procedere il conteggio** fino al valore quantizzato finchè sono vere **tutte le seguenti condizioni**:

- il segnale a) sarà alto in quanto inverso di un segnale basso legato all'assenza del segnale di reset
- il segnale b) in uscita dal comparatore sarà alto poichè $V_{in} > V_o$ in quanto la rampa in uscita dall'integratore non ha ancora raggiunto l'ampiezza del segnale
- il segnale c) alto a ogni scatto del clock

Al contrario **l'uscita della porta sarà bassa e quindi interromperà il conteggio** quando si verifica **una delle due seguenti condizioni**:

- in caso di reset esterno, che fa andare basso il segnale a) in quanto inverso di un segnale alto
- quando la rampa in uscita dall'integratore raggiunge l'ampiezza del segnale, poichè avrò $V_o > V_{in}$, il che fa commutare in un segnale basso l'uscita del comparatore.

Il numero che si trova salvato nel contatore nel momento in cui viene disabilitato, corrisponderà alla parola digitale di n bit corrispondente al valore quantizzato del segnale in ingresso.

Per qualche dettaglio in più in forma discorsiva vi riporto qui di seguito una breve utile dispensa.

CONVERTITORE AD INTEGRAZIONE A SINGOLA RAMPA

Il convertitore a singola rampa appartiene, insieme a quello a doppia rampa descritto nel paragrafo successivo, alla categoria dei convertitori ad integrazione in cui la conversione avviene misurando con un contatore il tempo impiegato per un'operazione di integrazione.

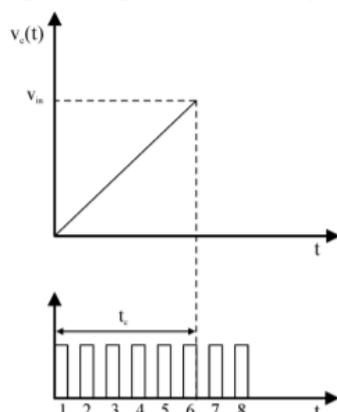


Figura 9: Diagramma temporale di un convertitore a singola rampa

Nel caso del convertitore a singola rampa, il principio di funzionamento è schematizzato in Figura 9: si integra una tensione nota e costante e si misura quanto tempo occorre per ottenere in uscita dall'integratore una tensione uguale al segnale che si vuole convertire.

Il diagramma a blocchi di un'architettura a singola rampa è mostrata in Figura 10. Facciamo l'ipotesi che la tensione costante V_{REF} sia positiva e che l'uscita dell'integratore sia nulla all'istante $t=0$ in cui iniziamo ad integrare e a contare gli impulsi di clock. Inoltre, il contatore è a N bit e il segnale di ingresso v_{IN} che vogliamo convertire viene campionato e mantenuto dal circuito di sample and hold (S/H) per tutta la durata del processo di integrazione. La tensione in uscita dell'integratore comincia a salire linearmente (si noti che $-V_{REF}$ è negativa) con una pendenza che dipende dal valore di R e C. Quando la tensione di uscita dell'integratore supera il valore della tensione di uscita del circuito S/H, il comparatore commuta e segnala al circuito di controllo di memorizzare nel latch il valore che ha raggiunto il contatore. Il circuito di controllo provvede poi a generare il segnale di reset che serve sia per resettare il contatore sia per azzerare l'uscita dell'integratore preparando il sistema ad un'altra operazione di conversione.

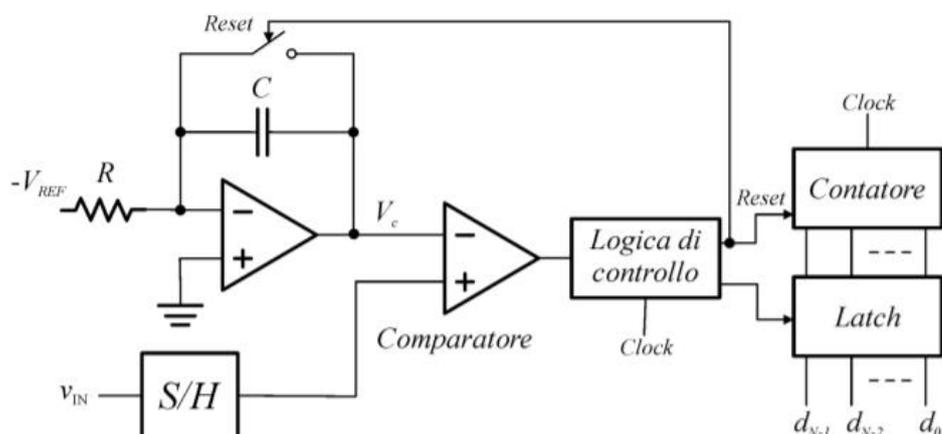


Figura 10: Schema a blocchi di un convertitore a singola rampa

Il numero di impulsi di clock conteggiato sarà, pertanto, proporzionale al valore della tensione di ingresso che vogliamo convertire. In particolare, se la tensione di ingresso è molto piccola, il tempo di conversione sarà molto breve e il contatore conterà pochi impulsi prima che il comparatore scatti facendo concludere il conteggio. Viceversa, se la tensione di ingresso è uguale alla tensione di fondoscala del convertitore, il contatore dovrà incrementare il conteggio da zero fino al suo valore massimo di 2^N .

Il tempo di conversione, t_C , è proporzionale alla tensione v_{IN} e il segnale, V_C , in uscita dall'integratore al termine del conteggio è dato da:

$$V_C = -\frac{1}{RC} \int_0^{t_C} -V_{REF}(\tau) d\tau = \frac{V_{REF}}{RC} t_C = v_{IN}$$

da cui si ricava:

$$t_C = \frac{v_{IN}}{V_{REF}} \cdot RC$$

Se il numero di impulsi conteggiati è pari a D , ovvero $t_C = D T_{CLK}$, si ottiene:

$$D = \frac{v_{IN}}{V_{REF}} \cdot \frac{RC}{T_{CLK}}$$